

PHASE CONTROL CIRCUIT

Patent Number: JP2001230667
Publication date: 2001-08-24
Inventor(s): KOBAYASHI HIDEAKI
Applicant(s): NEC CORP
Requested Patent: ☐ JP2001230667
Application Number: JP20000038444 20000216
Priority Number(s):
IPC Classification: H03L7/087; G06F1/10; H03L7/18
EC Classification:
Equivalents:

RECEIVED
CENTRAL FAX CENTER

NOV 22 2004

Abstract

PROBLEM TO BE SOLVED: To provide a phase control circuit for reducing jitters by reducing the frequency change (VCO gain) of a phase-locked loop, with respect to the control voltage of a voltage-controlled oscillation circuit.

SOLUTION: In the phase control circuit, which is provided with a phase comparator circuit to which a reference clock is inputted, a low-pass filter, a voltage control oscillation circuit and a frequency divider circuit and in which the output of the frequency divider circuit is fed back and inputted to the phase comparator circuit, a prescribed reference voltage is applied to the voltage-controlled oscillation circuit as the control voltage, and the output of the frequency divider circuit is compared with the frequency of the reference clock by the frequency comparator circuit. A calibration circuit is provided for initially controlling the voltage controlled oscillation circuit on the basis of a comparison result, and phase control is performed, while using the voltage controlled oscillation circuit of a small gain.

Data supplied from the esp@cenet database - 12

BEST AVAILABLE CO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-230667
(P2001-230667A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 3 L	7/087	H 0 3 L 7/08	P 5 B 0 7 9
G 0 6 F	1/10	G 0 6 F 1/04	3 3 0 Z 5 J 1 0 6
H 0 3 L	7/18	H 0 3 L 7/18	Z

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2000-38444 (P2000-38444)

(22) 出願日 平成12年2月16日 (2000.2.16)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小林 英明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

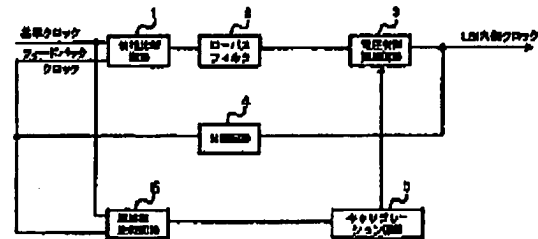
最終頁に続く

(54) 【発明の名称】 位相調整回路

(57) 【要約】

【課題】位相同期ループの電圧制御発振回路の制御電圧に対する周波数変化 (VCOゲイン) を低減し、ジッタを低減する位相調整回路の提供。

【解決手段】基準クロックを入力する位相比較回路、ローパスフィルタ、電圧制御発振回路、分周回路を備え、分周回路の出力が位相比較回路に帰還入力される位相調整回路において、電圧制御発振回路に、所定の基準電圧を制御電圧として与え、分周回路の出力と基準クロックとの周波数を周波数比較回路で比較し、比較結果に基づき、電圧制御発振回路の初期調整を行うキャリブレーション回路を備え、ゲインの小さな電圧制御発振回路を用いて位相調整を行う。



(2) 001-230667 (P2001-23%JL8

【特許請求の範囲】

【請求項1】位相比較回路、低域通過フィルタ、及び電圧制御発振回路を含む位相同期ループを備え、入力される基準クロック信号の位相に同期したクロック信号を出力する位相調整回路において、

前記電圧制御発振回路に対して所定の基準電圧を制御電圧として与え、前記電圧制御発振回路の出力信号もしくは前記電圧制御発振回路の出力を分周回路で分周した信号と、前記基準クロックの周波数とを周波数比較回路で比較し、前記周波数比較回路での比較結果に基づき、前記電圧制御発振回路の発振周波数を初期調整するキャリブレーション回路を備え、ゲインの小さな電圧制御発振回路を用いて位相調整可能としたことを特徴とする位相調整回路。

【請求項2】基準クロックを一の入力端に入力とする位相比較回路と、前記位相比較回路から出力される位相差を平滑化する低域通過フィルタと、前記低域通過フィルタからの出力電圧を制御電圧として入力する電圧制御発振回路と、前記電圧制御発振回路の出力を分周する分周回路と、を備え、前記分周回路の出力が前記位相比較回路の他の入力端に入力されてなる位相調整回路において、

キャリブレーション回路と、周波数比較回路をさらに備え、

前記キャリブレーション回路により、前記電圧制御発振回路の制御電圧として所定の基準電圧を与え、前記周波数比較回路において、前記電圧制御発振回路の出力信号を前記分周回路により分周した信号の周波数と、前記基準クロックの周波数との周波数とを比較し、前記周波数比較回路での比較結果を、前記電圧制御発振回路へフィードバックすることにより、前記電圧制御発振回路の発振周波数が所望の値になるように前記電圧制御発振回路の初期調整を行う、ことを特徴とする位相調整回路。

【請求項3】基準クロックを一の入力端に入力とする位相比較回路と、

前記位相比較回路から出力される位相差を平滑化する低域通過フィルタと、

前記低域通過フィルタからの出力電圧と、所定の基準電圧とを入力とするセレクタ回路と、

前記セレクタ回路の出力を制御電圧として入力する電圧制御発振回路と、

前記電圧制御発振回路の出力を分周する分周回路と、を備え、

前記分周回路の出力が前記位相比較回路の他の入力端に帰還入力され、

前記分周回路の出力と前記基準クロックとを入力とし周波数を比較する周波数比較回路と、

前記周波数比較回路における比較結果によりカウントアップ又はカウントダウンするカウンタ回路と、を備え、

前記カウンタ回路のカウント値出力に基づき、前記電圧制御発振回路のリングオシレータを構成する可変遅延回路の遅延時間を可変に設定する、ことを特徴とする位相調整回路。

【請求項4】前記電圧制御発振回路のリングオシレータの単位遅延回路を構成する可変遅延回路が、前記制御電圧で遅延時間が可変制御される、互いに並列接続された複数のインバータと、前記カウンタ回路からのカウント値出力により、前記複数のインバータの出力を選択し、選択されたインバータの出力を共通接続して出力端から出力するセレクタ回路と、を備えたことを特徴とする請求項3記載の位相調整回路。

【請求項5】前記電圧制御発振回路が、電圧を電流に変換する電圧電流変換回路を備え、リングオシレータの単位遅延回路を構成する可変遅延回路が、前記電圧電流変換回路から出力される電流により遅延時間が可変させる電流制御可変遅延回路よりなり、前記カウンタ回路から出力されるカウント値に基づき、前記電圧電流変換回路のオフセット電流を増減する、構成とされている、ことを特徴とする請求項3記載の位相調整回路。

【請求項6】前記電圧制御発振回路に対して基準電圧を制御電圧として入力し、発振周波数の調整をしたのち、前記カウンタ回路がホールド状態とされる、ことを特徴とする請求項3乃至5のいずれかーに記載の位相調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位相調整回路に関し、特に、位相同期ループ回路構成の位相調整回路の電圧制御発振回路の校正（キャリブレーション）技術に関する。

【0002】

【従来の技術】位相調整回路は、LSI等において、クロック信号を内部フリップフロップ（F/F）に分配する際に、クロック信号の位相を、外部から入力される基準クロック信号の位相に同期させるというクロック同期回路、クロックリカバリ回路に用いられている。

【0003】位相調整回路では、従来より、一般に、電圧制御発振回路（VCO）の電圧を制御することで、位相調整を行っている。位相調整回路は、例えば、基準クロックを一端に入力する位相比較回路と、位相比較回路から出力される信号を平滑化するループフィルタ（低域通過フィルタ）と、ループフィルタの出力電圧を制御電圧として入力する電圧制御発振回路と、電圧制御発振回路の出力を分周する分周回路（分周比1の場合も含む）と、を備え、分周回路の出力が位相比較回路の他端に帰還入力されて位相同期ループを構成し、位相比較回路では、基準クロックと分周回路の出力信号の位相差を検出出力する。

【0004】

(3) 001-230667 (P2001-23%JL8

【発明が解決しようとする課題】しかしながら、半導体装置製造におけるプロセス変動等により、電圧制御発振回路の周波数特性等が変動し、この場合、必要な周波数調整範囲を確保するためには、電圧制御発振回路のゲインを大きくしなければならない場合がある。そのために、位相調整回路のジッタが増大する。以下、この問題を詳説する。

【0005】図7に、従来の電圧制御発振回路のプロセスFAST条件とプロセスSLOW条件の周波数特性（制御電圧対発振周波数の特性）の例を示す。所望の周波数の下限をFL、上限をFHとし、電圧制御発振回路の制御電圧の下限をVL、上限をVHとすると、半導体装置製造のプロセス条件がFAST条件からSLOW条件まで振れても、電圧制御発振回路に入力される制御電圧がVL～VHの間で、発振周波数の範囲FL～FHをカバーするためには、図7に示すように、制御電圧に対する発振周波数の変化（VCOゲイン）を設定しなければならない。しかしながら、このように、電圧制御発振回路のVCOゲインが大きくなると、位相調整回路のジッタが大きくなる、といった問題が発生する。

【0006】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、位相同期ループの電圧制御発振回路の制御電圧に対する周波数変化（VCOゲイン）を低減し、ジッタを低減する位相調整回路を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成する本発明は、位相同期ループを備え、基準クロック信号の位相に同期したクロック信号を出力する位相調整回路において、前記位相同期ループを構成する電圧制御発振回路に所定の基準電圧を制御電圧として与えて初期調整するキャリブレーション回路を備え、ゲインの小さな電圧制御発振回路を用いて位相調整を行うようにしたものである。

【0008】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、LSIにおいて、クロック信号の位相を外部からの基準クロック信号の位相に同期させて、内部フリップフロップ（F/F）に分配する位相調整回路において、電圧制御発振回路（VCO）を初期調整するキャリブレーション回路を備え、ゲインの小さな電圧制御発振回路を用いて位相調整を行い、低ジッタの位相調整回路を実現する、ようにしたものである。

【0009】本発明の位相調整回路は、その好ましい一実施の形態において、図1を参照すると、本発明の位相調整回路は、位相比較回路1、ローパスフィルタ2、電圧制御発振回路3、分周回路4よりなる位相同期ループの構成に、電圧制御発振回路3の校正を行うキャリブレーション回路5と、分周回路4の出力と基準クロックを入力とする周波数比較回路6とをさらに備えたものである。

【0010】初期設定時に、電圧制御発振回路3の制御電圧として、基準電圧を与え、電圧制御発振回路3の出力信号を分周回路4により分周した信号の周波数と、基準クロックの周波数とを周波数比較回路6を用いて比較し、比較結果を、電圧制御発振回路3へフィードバックすることにより、電圧制御発振回路6の発振周波数が所望の値になるように電源制御発振回路3の調整を行う。

【0011】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1を参照すると、本発明の一実施例を構成する位相調整回路は、位相比較回路1、ローパスフィルタ2、電圧制御発振回路3、分周回路4よりなる位相同期ループ回路の構成に、電圧制御発振回路3の校正を行うキャリブレーション回路5と、分周回路4の出力と基準クロックを入力とする周波数比較回路6とをさらに備えたものである。初期設定時に、電圧制御発振回路3への制御電圧として、ローパスフィルタ2の出力電圧の代わりに、所定の基準電圧を与え、電圧制御発振回路3の出力信号を分周回路4（分周比1の場合も含む）により分周した信号の周波数と、基準クロックの周波数とを周波数比較回路6で比較し、周波数の比較結果に基づき、電圧制御発振回路6のリングオシレータを構成する可変遅延回路の遅延時間を可変制御し、分周回路4により分周した信号の周波数と、基準クロックの周波数とが一致するように、すなわち、発振周波数が所望の値になるように電源制御発振回路3の調整を行う。

【0012】以下、キャリブレーション回路5の詳細、及び電圧制御発振回路3について説明する。

【0013】図2は、本発明の一実施例をなす位相調整回路の構成の一例を示す図である。図3は、電圧制御発振回路3の構成の一例を示す図である。

【0014】図2を参照すると、位相同期ループ（PLL）を構成する位相比較回路1、ローパスフィルタ（ループフィルタ）2、電圧制御発振回路3、分周回路4を備え、ローパスフィルタ2の出力端と電圧制御発振回路3の入力端との間のセレクト回路5を備え、セレクト回路5は、キャリブレーション時に、電圧制御発振回路3への制御信号（電圧）S1を、ローパスフィルタ2の出力から、基準電圧に切り替える。

【0015】また電圧制御発振回路3の出力信号S2を分周回路4で分周した信号S3（分周回路4での分周比nは1以上の数）と、基準クロック信号S4の周波数を比較するための周波数比較回路6と、周波数比較回路6の出力信号S5により値を増減させるカウンタ回路7とを備え、カウンタ回路7の出力信号S6が電圧制御発振回路3に入力されている。

【0016】図3は、電圧制御発振回路3の構成の一例を示す図である。図3を参照すると、電圧制御発振回路3は、制御電圧信号S1により、遅延時間が可変制御さ

(4) 001-230667 (P2001-23%JL8

れる奇数段の可変遅延回路8と、各可変遅延回路8におけるインバータの並列接続の個数を、カウンタ回路7の出力信号S6により選択制御する複数のセレクト回路9と、を備えて構成されている。

【0017】可変遅延回路8は、制御電圧で電流駆動能力（したがって遅延時間）が可変されるインバータが複数並列形態に接続され、これら複数のインバータは、信号を共通入力とし、出力信号がセレクト回路9に入力され、セレクト回路9では、選択したインバータの出力をまとめて一つのラインに出力し、次段の可変遅延回路のインバータの共通入力として供給する。可変遅延回路は奇数段よりなり最終段の出力は初段の入力に帰還入力され、リングオシレータを構成している。

【0018】本発明の一実施例の動作について説明する。

【0019】キャリブレーション時には、セレクト回路5にて基準電圧が選択され、電圧制御発振回路3には制御電圧として、該基準電圧が与えられ、出力信号S2は、この基準電圧に応じた周波数が出力される。

【0020】電圧制御発振回路3が、プロセス変動（製造時のばらつき）等により、所望の周波数よりも低い周波数で発振していたとすると、電圧制御発振回路3の出力を分周回路4で分周した信号の基準クロックの周波数を比較する周波数比較回路6にける出力信号S5はカウンタアップ信号を出力し、このカウンタアップ信号を受けてカウンタ回路7のカウント値を増加させる。

【0021】カウンタ回路7のカウント値が増加すると、出力信号（カウント値）S6により、セレクト回路9が制御され、電圧制御発振回路3のリングオシレータの各段を構成する可変遅延回路8のインバータの並列接続の数が増え（可変遅延回路8の電流駆動能力が増大し各可変遅延回路の遅延時間が短くなり）、発振周波数は高くなる。

【0022】そして、電圧制御発振回路3の発振周波数が、所望の周波数よりも高くなると、周波数比較回路6の出力信号S5は、カウンタダウン信号を出力し、これを受けてカウンタ回路7のカウント値は減少する。カウンタ回路7のカウント値が減少すると、出力信号（カウント値）S6により、セレクト回路9が制御され、電圧制御発振回路3のリングオシレータの各段を構成する可変遅延回路8のインバータの並列接続の数が減り（可変遅延回路8の電流駆動能力が減少し各可変遅延回路の遅延時間が長くなり）、発振周波数は低くなる。

【0023】上記した一連の動作により、電圧制御発振回路3には負帰還がかかることになり、基準電圧に対して、電圧制御発振回路3の発振周波数が所望の周波数になるように、カウンタ回路7が設定される。

【0024】カウンタ回路7をホールドし、カウンタ回路7はその時点のカウント値出力を保持し、セレクト回路5において、電圧制御発振回路3に供給する制御信号

S1をローパスフィルタ2からの出力電圧に切り替えることにより、キャリブレーション動作を終了する。

【0025】逆に、電圧制御発振回路3がプロセス変動により所望の周波数よりも高い周波数で発振していた場合には、上述と逆の方向に、電圧制御発振回路3が調整され、同様にキャリブレーション動作がおこなわれる。

【0026】図4は、本発明の電圧制御発振回路により、キャリブレーションをおこなった後の、プロセスFAST条件とプロセスSLOW条件の周波数特性を示す図である。

【0027】所望の周波数の下限をFH、上限FL、基準クロック信号の周波数をFC、電圧制御発振回路の制御電圧の下限をVL、上限をVH、キャリブレーション時の基準電圧をVCとする。

【0028】図4に示すように、本発明によれば、キャリブレーションにより制御電圧がVCのときの電圧制御発振回路3の発振周波数がFC（中心周波数）に調整されるため、プロセス条件がFAST条件からSLOW条件まで振れても、小さなVCOゲインで、発振周波数の範囲FL～FHをカバーすることができる。このため、本発明の一実施例によれば、低ジッタの位相調整回路を実現することができる。

【0029】本発明の他の実施例について説明する。図5は、本発明の第2の実施例の構成を示す図である。図6は、図5の電圧制御発振回路3の構成の一例を示す図である。

【0030】図5を参照すると、本発明の第2の実施例は、従来の位相調整回路を構成する位相比較回路1、ローパスフィルタ2、電圧制御発振回路3、分周回路4に、キャリブレーション時に電圧制御発振回路3の入力信号S1を基準電圧に切り替えるためのセレクト回路5と、電圧制御発振回路3の出力信号S2を分周回路4により分周した信号S3と基準クロック信号S4の周波数を比較するための周波数比較回路6と、周波数比較回路6の出力信号S5により値を増減させるカウンタ回路7と、を備えている。

【0031】図6を参照すると、電圧制御発振回路3は、電圧を電流に変換する電圧電流変換回路10と、電流制御可変遅延回路11と、を備えて構成されている。電流可変遅延回路11は、供給される電流により、その遅延時間（電流駆動能力）を可変するインバータよりなり、電流可変遅延回路11は、奇数段縦続接続され、最終段の出力が初段の入力に帰還されリングオシレータを構成している。

【0032】本発明の第2の実施例においては、初期調整時、セレクト回路5から電圧制御発振回路3に基準電圧を供給し、分周回路4の出力と基準クロックとの周波数を比較する周波数比較回路6の出力（カウンタアップ／カウンタダウン）信号によりカウンタアップ・ダウンするカウンタ回路7の出力信号S6により、電圧電流変

(5) 001-230667 (P2001-23%JL8

換回路10のオフセット電流を増減することで、制御電流信号S7を制御し、前記した実施例と同様にキャリブレーションをおこなう。

【0033】

【発明の効果】以上説明したように、本発明によれば、キャリブレーションにより制御電圧が基準電圧のときの、電圧制御発振回路の発振周波数がセンタに調整されるため、プロセス条件が振れても、小さなVCOゲインで電圧制御発振回路の発振周波数範囲をカバーすることができ、低ジッタの位相調整回路を実現することができる、という効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例の詳細構成を示す図である。

【図3】本発明の一実施例における電圧制御発振回路の構成を示す図である。

【図4】本発明の一実施例における電圧制御発振回路の

特性（ゲイン）を示す図である。

【図5】本発明の他の実施例の構成を示す図である。

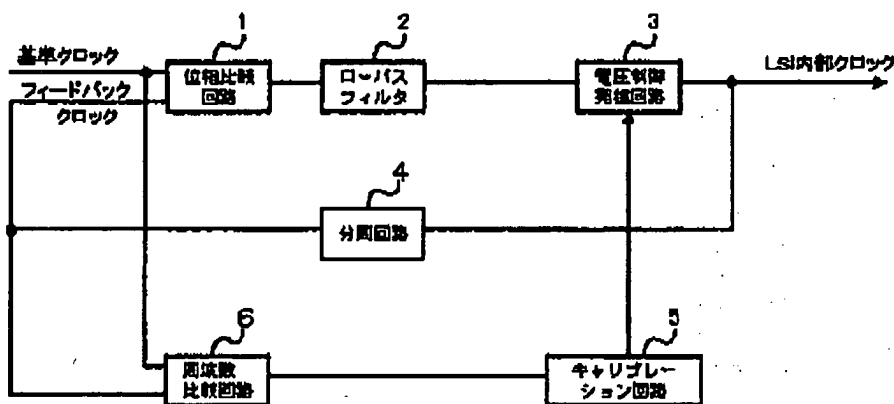
【図6】本発明の他の実施例における電圧制御発振回路の構成を示す図である。

【図7】従来の電圧制御発振回路の特性（ゲイン）を示す図である。

【符号の説明】

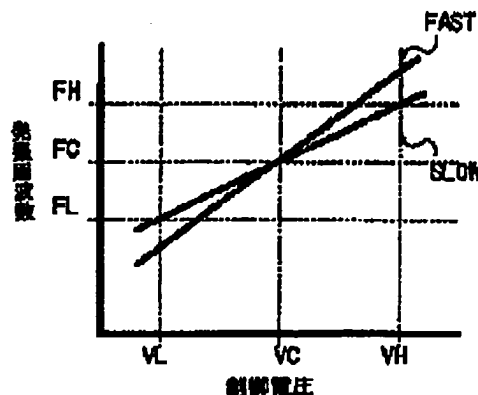
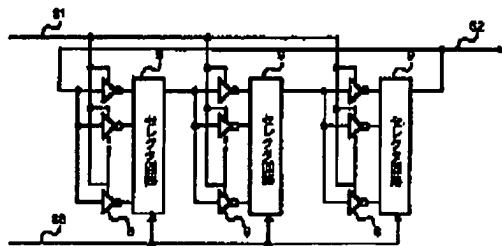
- 1 位相比較回路
- 2 ローパスフィルタ
- 3 電圧制御発振回路
- 4 分周回路
- 5 セレクタ回路
- 6 周波数比較回路
- 7 カウンタ回路
- 8 可変遅延回路
- 9 セレクタ回路
- 10 インバータ

【図1】

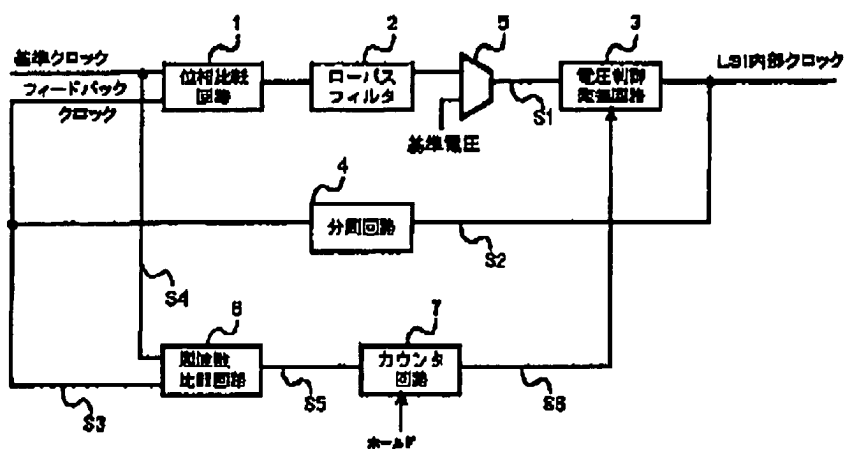


【図3】

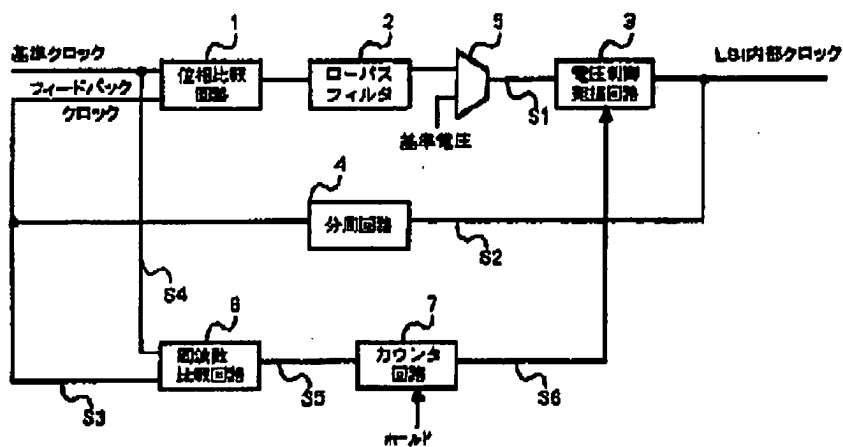
【図4】



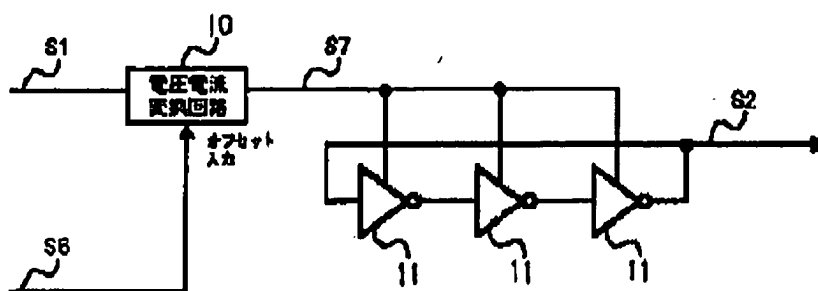
【図2】



【例5】

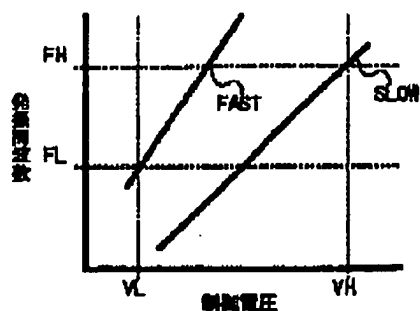


【図6】



8112 (7) 001-230667 (P2001-23218)

【図7】



フロントページの続き

Fターム(参考) 5B079 BA20 BB10 BC03 CC08 CC14
DD03 DD20
5J106 AA04 CC01 CC21 CC30 CC31
CC52 CC59 DD09 DD17 GG01
HH03 KK03 KK25 KK32 LL01
QQ07 QQ09 RR10 RR12 RR17
SS03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.